

System control chip and computer system having a multiplexed graphic bus architecture

Patent number: TW436694
Publication date: 2001-05-28
Inventor: LAI JIN (TW); YAN SHOU-CHEN (TW)
Applicant: VIA TECH INC (TW)
Classification:
- international: G06F13/00; G06F11/30
- european:
Application number: TW19990114443 19990824
Priority number(s): TW19990114443 19990824

Also published as:



JP20010843

DE10029867

Abstract of TW436694

There is provided a system control chip and computer system having a multiplexed graphic bus architecture. The system control chip can be connected to the external graphic processor via an external graphic bus, such as AGP. The system control chip includes an internal graphic processor which is coupled to the portion of the external graphic bus extended in the system control chip via a virtual graphic bus. Furthermore, a snoop is provided to snoop the request between the graphic processor and the system, thereby integrating the resources of the external graphic processor and the internal graphic processor.

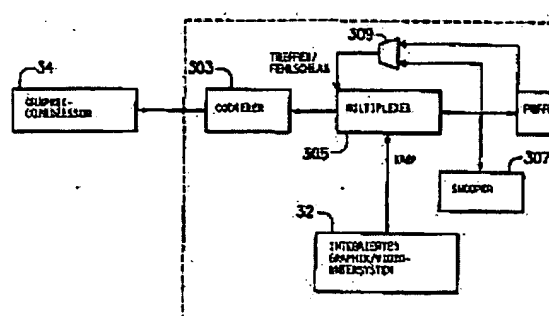


FIG. 1 FOR THE DRAWING

[11]公告編號：436694

[44]中華民國 90 年 (2001) 05 月 25 日
發明

[51] Int.Cl. 06: G06F13/00
G06F11/30

全 5 頁

[54]名稱：具有多工圖形匯流排架構之系統控制晶片及電腦系統

[21]申請案號：088114443

[22]申請日期：中華民國 88 年 (1999) 08 月 24 日

[72]發明人：

嚴守農

賴瑾

[71]申請人：

威盛電子股份有限公司

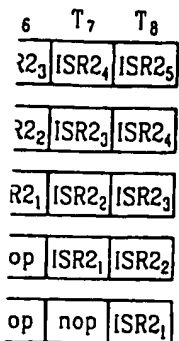
[74]代理人：洪澄文 先生

台北縣新店市中正路五三三號八樓

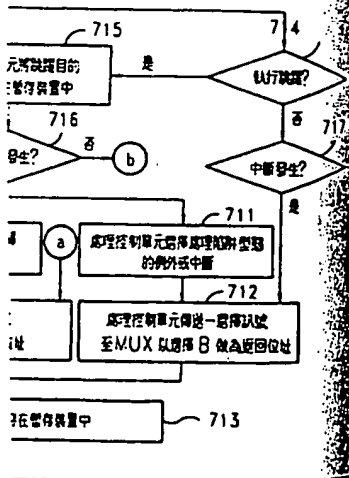
台北縣新店市中正路五三三號八樓

台北縣新店市中正路五三三號八樓

主
列



第六圖



[57]申請專利範圍：

1. 一種具有多工圖形匯流排之系統控制晶片，上述系統控制晶片具有一外部圖形匯流排，用以連接一外部圖形處理器，其包括：

內部圖形處理器，其利用一虛擬圖形匯流排，耦接於上述外部圖形匯流排於上述系統控制晶片內之延伸部分；以及

監視器，耦接於上述外部圖形匯流排於上述系統控制晶片內之延伸部分，用以監視在上述外部圖形處理器、上述內部圖形處理器和上述系統控制晶片其他部分之間的請求，藉以整合上述外部圖形處理器和上述內部圖形處理器之資源。

2. 如申請專利範圍第1項所述之系統控制晶片，其中尚包括一多工器組，置於上述外部圖形匯流排於上述系統控制晶片內之延伸部分和上述虛擬圖形匯流排之間，用以控制上述外部圖形處

理器、上述內部圖形處理器和上述系統控制晶片其他部分之間的資料傳遞。

3. 如申請專利範圍第1項所述之系統控制晶片，其中上述外部圖形處理器和上述內部圖形處理器係配置於不同之系統資源空間，上述監視器則根據傳送資料所要求的系統資源空間，決定其傳送標的。

4. 如申請專利範圍第1項所述之系統控制晶片，其中上述外部圖形匯流排係為進階圖形埠(AGP)匯流排，上述虛擬圖形匯流排則為進階圖形埠匯流排中用以控制上述多工器組之控制信號。

5. 一種具有多工圖形匯流排之系統控制晶片，其具有一外部圖形匯流排，用以連接一外部圖形處理器；上述系統控制晶片提供一虛擬圖形匯流排，用以連接置於主機板上之內部圖形處理器，其中上述外部圖形匯流排和上述

虛擬圖形匯流排係於上述系統控制晶片內耦接；上述系統控制晶片內具有一監聽器，掛接於上述外部圖形匯流排於上述系統控制晶片內之延伸部分，用以監聽在上述外部圖形處理器、上述內部圖形處理器和上述系統控制晶片其他部分之間的請求，藉以整合上述外部圖形處理器和上述內部圖形處理器之資源。

6. 如申請專利範圍第5項所述之系統控制晶片，其中尚包括一多工器組，置於上述外部圖形匯流排於上述系統控制晶片內之延伸部分和上述虛擬圖形匯流排之間，用以控制上述外部圖形處理器、上述內部圖形處理器和上述系統控制晶片其他部分之間的資料傳遞。

7. 如申請專利範圍第5項所述之系統控制晶片，其中上述外部圖形處理器和上述內部圖形處理器係配置於不同之系統資源空間，上述監聽器則根據傳送資料所要求的系統資源空間，決定其傳送標的。

8. 如申請專利範圍第5項所述之系統控制晶片，其中上述外部圖形匯流排係為進階圖形埠(AGP)匯流排，上述虛擬圖形匯流排則為進階圖形埠匯流排中用以控制上述多工器組之控制信號。

9. 一種具有多工器組之電腦系統，上述電腦系統之系統控制晶片具有一外部圖形匯流排，用以連接一附加卡上之外部圖形處理器，其包括：內部圖形處理器，設置於上述電腦系統之主機板上，其利用一虛擬圖形匯流排，在上述系統控制晶片內耦接於上述外部圖形匯流排；以及

監聽器，設置於上述系統控制晶片內，掛接於上述外部圖形匯流排於上述系統控制晶片內之延伸部分，用以監聽在上述外部圖形處理器、上述內

部圖形處理器和上述電腦系統中其他元件之間的請求，藉以整合上述外部圖形處理器和上述內部圖形處理器之資源。

10. 如申請專利範圍第9項所述之電腦系統，其中在上述系統控制晶片內尚包括一多工器組，置於上述外部圖形匯流排於上述系統控制晶片內之延伸部分和上述虛擬圖形匯流排之間，用以控制上述外部圖形處理器、上述內部圖形處理器和上述電腦系統中其他元件之間的資料傳遞。

11. 如申請專利範圍第9項所述之電腦系統，其中上述內部圖形處理器係置於上述系統控制晶片內。

12. 如申請專利範圍第9項所述之電腦系統，其中上述外部圖形處理器和上述內部圖形處理器係配置於不同之系統資源空間，上述監聽器則根據傳送資料所要求的系統資源空間，決定其傳送標的。

13. 如申請專利範圍第9項所述之電腦系統，其中上述外部圖形匯流排係為進階圖形埠(AGP)匯流排，上述虛擬圖形匯流排則為進階圖形埠匯流排中用以控制上述多工器組之控制信號。

圖式簡單說明：
第一圖表示習知技術中包含圖形次系統之電腦架構的系統方塊圖。

第二圖表示習知技術中包含整合圖形次系統之電腦架構的系統方塊圖。

第三圖表示本發明實施例中具有多工AGP匯流排架構之電腦系統方塊圖。

第四圖表示本發明實施例中北橋系統控制晶片內之詳細方塊圖。

第五圖表示本發明實施例中多工器組在處理資料傳遞之電路示意圖。

第六圖表示本發明實施例中多工器組在處理請求及控制信號傳遞之電路示意圖。

形處理器和上述電腦系統中其他
間的請求，藉以整合上述外部
形處理器和上述內部圖形處理器之

專利範圍第9項所述之電腦系
中在上述系統控制晶片中尚包
工器組，置於上述外部圖形處
上述系統控制晶片內之其他
述虛擬圖形匯流排之間，用以
述外部圖形處理器，上述內部
理器和上述電腦系統中其他元
資料傳遞。

專利範圍第9項所述之電腦系
上述內部圖形處理器係置於
控制晶片內。

專利範圍第9項所述之電腦系
上述外部圖形處理器和上述
處理器係配置於不同之系統
，上述監視器則根據傳送資
之系統資源空間，決定其傳

專利範圍第9項所述之電腦系
述外部圖形匯流排為為道
CP)匯流排，上述虛擬圖形
道階圖形埠匯流排之用以
工器組之控制信號。

習知技術中包含圖形次
的系統方塊圖。

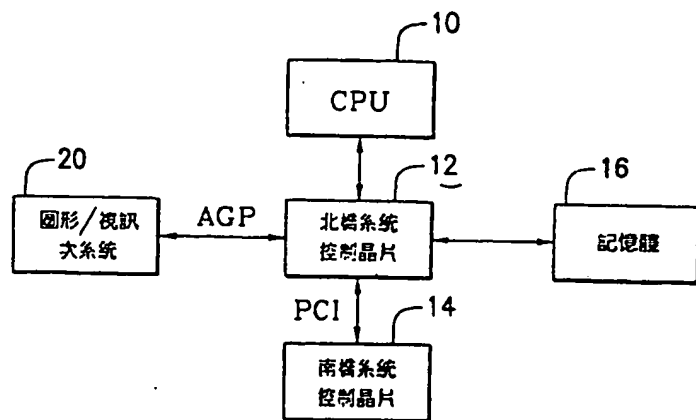
習知技術中包含整合圖
架構的系統方塊圖。

本發明實施例中具有多
構之電腦系統方塊圖。

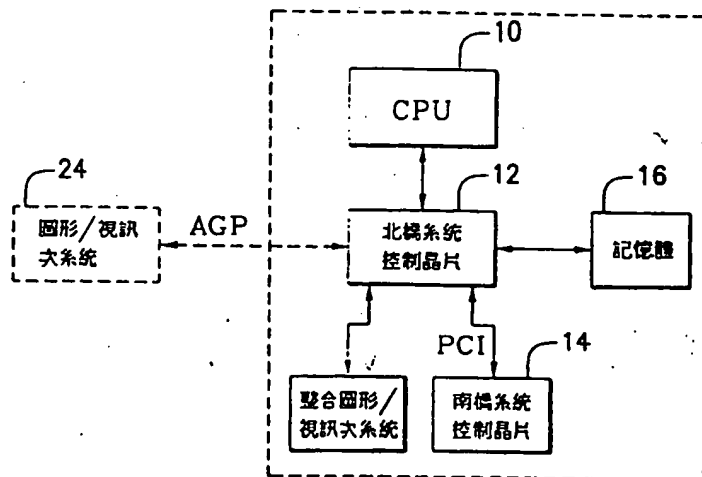
發明實施例中北橋系
細方塊圖。

發明實施例中多工器
之電路示意圖。

發明實施例中多工器
制信號傳遞之電路示

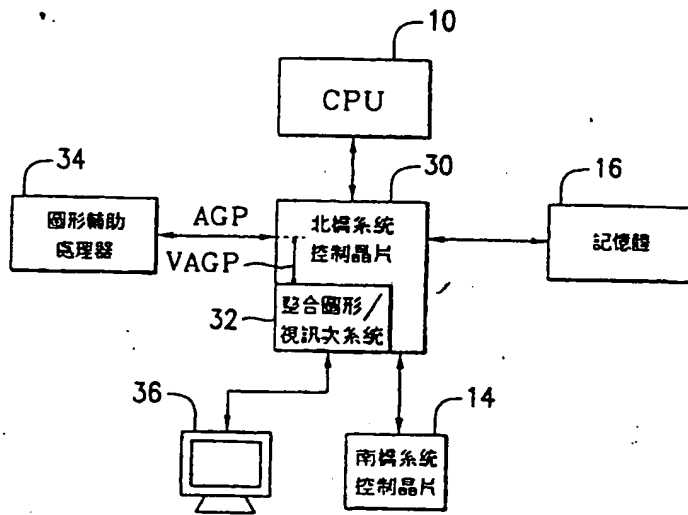


第一圖

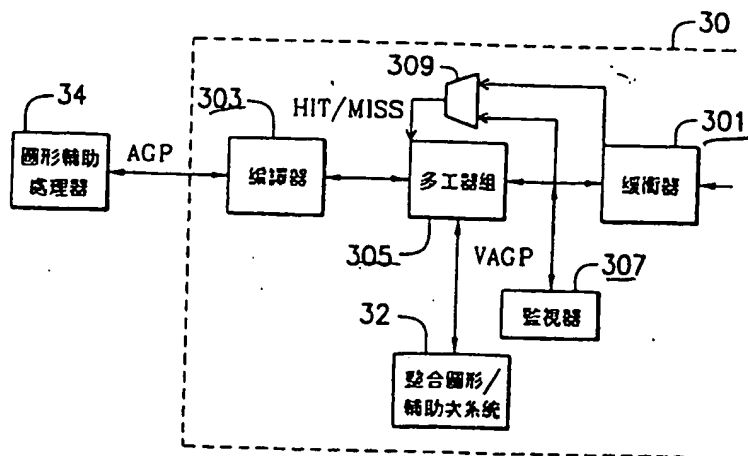


第二圖

(4)



第三圖



第四圖

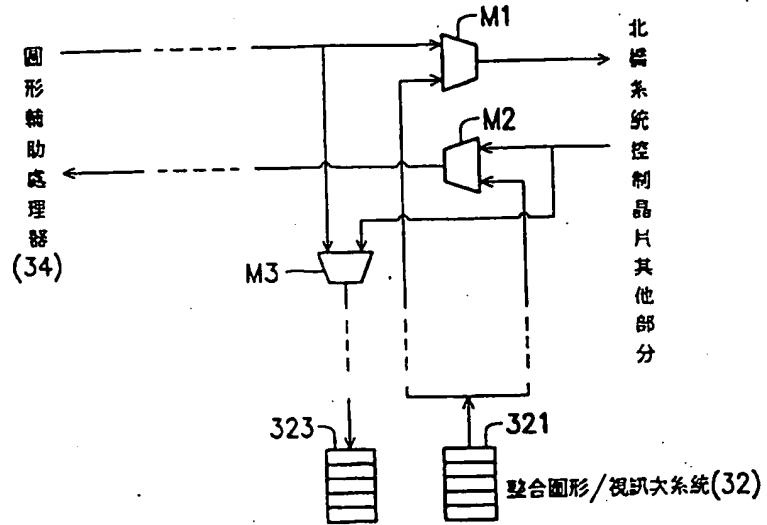
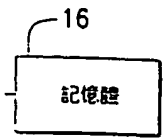
圖形輔助處理器 (34)

M3-

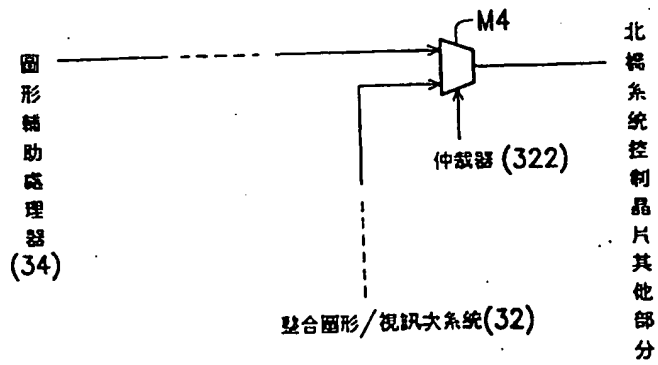
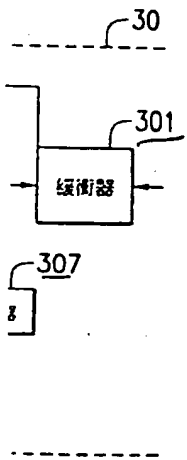
32

圖形輔助處理器 (34)

(5)



第五圖



第六圖

Evidence 1

Abstract

A system control chip and a computer include a multi-graphic bus. The system control chip can connect to an external graphic processor through an external graphic bus, e.g. an AGP. An internal graphic processor is included in the system control chip. Said internal graphic processor is coupled to the extended portion of the external graphic bus within the system control chip and comprises a snoopers for snooping the requests between the graphic processor and the system so as to integrate the resource of the external graphic processor and the internal graphic processor.

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☒ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.